

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representation of  
The original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKewed/SLANTED IMAGES**
- **COLORLED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

CLIPPEDIMAGE= JP02000323484A

PAT-NO: JP02000323484A

DOCUMENT-IDENTIFIER: JP 2000323484 A

TITLE: SEMICONDUCTOR DEVICE AND  
SEMICONDUCTOR MEMORY

PUBN-DATE: November 24, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
HATTORI, NOBUMI	N/A
NARUOKA, HIDEKI	N/A
YAMAMOTO, HIDEKAZU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP11126893

APPL-DATE: May 7, 1999

INT-CL (IPC): H01L021/322;H01L021/76  
;H01L021/8244 ;H01L027/11 ;H01L027/10  
;H01L027/108 ;H01L021/8242 ;H01L027/12  
;H01L029/786

## ABSTRACT:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device and a semiconductor memory having an SOI(silicon on insulator) structure capable of sufficiently gettering without impairing the degree of freedom in designing an LSI.

**SOLUTION:** A semiconductor device includes a semiconductor wafer 1 with an SOI structure in which a silicon layer is formed on an insulating layer. The semiconductor wafer 1 has a plurality of device-forming regions 1a in which semiconductor devices are formed, and dividing regions 1b between the device-forming regions 1a. A gettering site with a recess having a predetermined depth and a gettering material buried in the recess is formed in the dividing region 1b.

**COPYRIGHT:** (C)2000,JPO

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-323484

(P2000-323484A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テコード (参考)
H 0 1 L	21/322	H 0 1 L 21/322	P 5 F 0 3 2
			Q 5 F 0 8 3
	21/76	27/10	4 8 1 5 F 1 1 0
	21/8244	27/12	F
	27/11	21/76	L
審査請求 未請求 請求項の数21 O L (全 17 頁) 最終頁に続く			

(21) 出願番号 特願平11-126893

(22) 出願日 平成11年5月7日 (1999. 5. 7)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 服部 信美

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 成岡 英樹

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100102439

弁理士 宮田 金雄 (外2名)

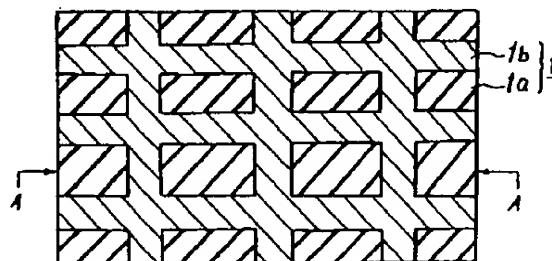
最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体記憶装置

## (57) 【要約】

【課題】 LSIの設計の自由度を阻害することく、十分なゲッターリングが可能な、SOI構造を有する半導体装置、及び半導体記憶装置を提供すること。

【解決手段】 この発明に係る半導体装置の製造方法は、絶縁層上にシリコン層が設けられたSOI構造を有する半導体ウエーハ1を備え、半導体ウエーハ1が、半導体素子が形成される複数の素子形成領域1aと、素子形成領域1aの間に設けられた切断用領域1bとを有する半導体装置であって、切断用領域1bに、所定深さを有する凹部と、この凹部に埋設されてなるゲッターリング部材とを有するゲッターリングサイトが設けられるようにしたものである。



## 【特許請求の範囲】

【請求項1】 絶縁層上にシリコン層が設けられたSOI構造を有する半導体ウエーハを備え、上記半導体ウエーハが、半導体素子が形成される複数の素子形成領域と、上記素子形成領域の間に設けられた切断用領域とを有する半導体装置であって、

上記切断用領域に、所定深さを有する凹部と、この凹部に埋設されてなるゲッターリング部材とを有するゲッターリングサイトが設けられていることを特徴とする半導体装置。

【請求項2】 上記凹部は、線状溝または環状溝であることを特徴とする請求項1記載の半導体装置。

【請求項3】 上記凹部は、孔状であることを特徴とする請求項1記載の半導体装置。

【請求項4】 上記凹部の底部が、上記シリコン層内になるよう設定されていることを特徴とする請求項1記載の半導体装置。

【請求項5】 上記凹部の底部が、上記絶縁層内になるよう設定されていることを特徴とする請求項1記載の半導体装置。

【請求項6】 上記ゲッターリング部材は、多結晶シリコンまたは酸化シリコンであることを特徴とする請求項1記載の半導体装置。

【請求項7】 上記ゲッターリングサイトは、上記凹部の底部が上記シリコン層内に設定されるとともに埋設されるゲッターリング部材が酸化シリコンである第1のゲッターリングサイトと、上記凹部の底部が上記絶縁層内に設定されるとともに埋設されるゲッターリング部材が多結晶シリコンである第2のゲッターリングサイトを含んでいることを特徴とする請求項1記載の半導体装置。

【請求項8】 上記凹部側壁に熱酸化膜が設けられ、この凹部内に多結晶シリコンが埋設されていることを特徴とする請求項1記載の半導体装置。

【請求項9】 絶縁層上にシリコン層が設けられたSOI構造を有する半導体基板と、上記半導体基板に設けられたメモリセルとを備えた半導体記憶装置であって、上記メモリセルの周辺に、所定深さを有する凹部と、この凹部に埋設されてなるゲッターリング部材とからなるゲッターリングサイトが設けられていることを特徴とする半導体記憶装置。

【請求項10】 上記半導体基板に、上記メモリセルと所定距離隔てて設けられ、上記メモリセルの動作に関与する周辺回路を備え、ゲッターリングサイトが、上記メモリセルと上記周辺回路との間に設けられていることを特徴とする請求項9記載の半導体記憶装置。

【請求項11】 周辺回路は、センスアンプ回路またはデコード回路であることを特徴とする請求項10記載の半導体記憶装置。

【請求項12】 上記凹部は、上記メモリセルを取り囲むように設けられた線状溝または環状溝であることを特

徴とする請求項9記載の半導体記憶装置。

【請求項13】 上記凹部は、孔状であることを特徴とする請求項9記載の半導体記憶装置。

【請求項14】 上記凹部の底面が下方向に突出した円錐状の形状をしていることを特徴とする請求項9記載の半導体記憶装置。

【請求項15】 上記ゲッターリング部材は、多結晶シリコンまたは酸化シリコンであることを特徴とする請求項9記載の半導体記憶装置。

10 【請求項16】 上記ゲッターリングサイトは、上記凹部の底部が上記シリコン層内に設定されるとともに埋設されるゲッターリング部材が酸化シリコンである第1のゲッターリングサイトと、上記凹部の底部が上記絶縁層内に設定されるとともに埋設されるゲッターリング部材が多結晶シリコンである第2のゲッターリングサイトを含んでいることを特徴とする請求項9記載の半導体記憶装置。

【請求項17】 上記凹部側壁に熱酸化膜が設けられ、この凹部内に多結晶シリコンが埋設されていることを特徴とする請求項9記載の半導体記憶装置。

20 【請求項18】 絶縁層上にシリコン層が設けられたSOI構造を有する半導体基板と、上記シリコン層に設けられ、ソース/ドレイン領域及びゲート酸化膜を介して形成されたゲート電極を有するMOSトランジスタと、上記MOSトランジスタ上及びこのMOSトランジスタ近傍部に、設けられた層間絶縁膜と、上記層間絶縁膜上に設けられた導電体と、上記導電体と上記ソース領域またはドレイン領域とが電気的に接続されるよう、上記層間絶縁膜に設けられ、内部に導電体が埋設されてなるコンタクト孔とを備えてなる半導体記憶装置であって、

30 上記MOSトランジスタの近傍部に、上記層間絶縁膜上からこの層間絶縁膜下のシリコン層内にまで達するよう設けられた孔と、この孔内部に埋設されたゲッターリング部材とを有するゲッターリングサイトが設けられていることを特徴とする半導体記憶装置。

【請求項19】 上記導電体に互いに対向するように設けられた導電体を備え、これら互いに対向する導電体により構成されてなるキャパシタと、上記トランジスタとからDRAMが構成されていることを特徴とする請求項18記載の半導体記憶装置。

40 【請求項20】 上記MOSトランジスタは複数設けられ、上記導電体の一方が上記MOSトランジスタのソースまたはドレイン領域と電気的に接続されるとともに、他方が他のMOSトランジスタのゲート電極と電気的に接続されてなるSRAMが構成されていることを特徴とする請求項18記載の半導体記憶装置。

【請求項21】 絶縁層上にシリコン層が設けられたSOI構造を有する半導体基板を備え、上記半導体基板が、MOSトランジスタが形成されてなる活性領域と、この活性領域近傍に設けられたフィールドシールド分離領域とを有する半導体装置であって、

上記フィールドシールド分離領域におけるシリコン層上には、酸化膜を介して電極が設けられ、かつ、上記フィールドシールド分離領域におけるシリコン層には、所定深さを有する凹部と、この凹部に埋設されてなるゲッターリング部材とを有するゲッターリングサイトが設けられていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁層上にシリコン層が設けられたSOI (Silicon on Insulator) 構造を有する半導体装置、特に、ゲッターリングサイトが設けられたSOI構造を有する半導体装置に関する。

【0002】

【従来の技術】半導体装置の製造工程においては、基板を形成する時、あるいは、半導体素子やコンタクト孔等を形成する時に、汚染物質（例えば、銅 (Cu)、鉄 (Fe)、ニッケル (Ni) 等の金属不純物）が基板中に導入される場合がある。このような汚染物質が基板中に導入されると、その後の熱処理により、この汚染物質が基板中の素子形成領域に熱拡散していき、この汚染物質により、素子形成領域に形成された半導体素子等の特性が劣化するという問題が生じる。例えば、基板上にMOSトランジスタが形成されている場合には、このMOSトランジスタのゲート絶縁膜の耐圧が低下するという問題が生じるし、P/N型不純物接合部が形成されている場合には、P/N型不純物接合部でのリーク電流が増大するという問題が生じる。

【0003】そこで、半導体基板そのものに半導体素子を形成する従来のバルク型の半導体基板を用いた半導体装置では、上記汚染物質により半導体素子等の特性が劣化するのを防止するため、この半導体基板の裏面もしくはバルクにゲッターリングサイトを設けてゲッターリングをするようにしていた。ここで、ゲッターリングとは、結晶欠陥等のゲッターリングサイトを形成し、これに汚染物質を捕獲、固着する技術である。

【0004】また、今日の半導体装置においては、高集積化、高速化等の観点から、従来のバルク型の半導体基板に代わって、支持基板上に絶縁層を設け、さらにこの絶縁層上にシリコン層が設けられたSOI構造を有するSOI基板が注目されているが、このSOI基板の場合には、上記従来のバルク型の半導体基板に相当する支持基板にゲッターリングサイトを設けても、シリコン層と支持基板の間に絶縁層が介在しているので、シリコン層中の汚染物質を上記ゲッターリングサイトによってゲッターリングさせるためには、汚染物質が絶縁層を通過しなければならない。そのため、この絶縁層を通過するだけの運動エネルギーを有しない汚染物質のゲッターリングはできないので、比較的低温で形成される昨今のLSI製造には有効ではなくなりつつある。

【0005】そこで、特開平4-72631号公報、特

開平8-191140号公報に示されているように、SOI基板を構成するシリコン層の底面に、全面にわたってゲッターリングサイトを形成する手法（以下、手法1と呼ぶ）、あるいは、特開平8-45943号公報に示されているように、素子分離領域を覆うようにゲッターリングサイトである多結晶シリコン層を形成する手法（以下、手法2と呼ぶ）を用いてゲッターリングをする手法が開示されている。

【0006】

10 【発明が解決しようとする課題】しかしながら、上記のような従来のゲッターリングの手法1では、シリコン層にゲッターリングサイトを有するため、シリコン層の膜厚が200nm以下のLSIを製造する場合には、ゲッターリングサイトに存在する結晶欠陥により、シリコン層表面に形成されている電子素子間にリークが発生し、特性が劣化するという問題がある。

20 【0007】また、上記のような従来のゲッターリングの手法2では、上記手法1の問題点は解消しているが、多結晶シリコン層を形成する必要から、素子を形成しない素子分離領域が増大するため、LSI微細化に対し著しく不利になるという問題がある。

30 【0008】そこで、特開平5-82525号公報には、これらの問題点を解決するために、支持基板上に断片的に絶縁層を形成することで、シリコン層と絶縁層とが導通するようにし、支持基板の裏面に設けたゲッターリングサイトでゲッターリングする手法が開示されている。しかしながら、この手法では、SOIウエーハの製造段階において、絶縁層が断片的になるように形成するので、予めゲッターリングサイトが定まったSOIウエーハが製造されることになり、LSIの設計の自由度が著しく奪われるという問題がある。さらに、ゲッターリングサイトが支持基板の裏面に設けられているので、支持基板の裏面からの汚染に対しては効果があるものの、活性層であるシリコン層からは遠い位置に形成されており、シリコン層に形成される半導体素子が汚染物質に汚染されるのを十分に防止することは困難である。

40 【0009】本発明はかかる問題点を解決するためになされたもので、LSIの設計の自由度を阻害することなく、十分なゲッターリングが可能な、SOI構造を有する半導体装置、及び半導体記憶装置に関するものである。

【0010】さらに、本発明は、十分なゲッターリングサイトの形成が可能で、かつ、製造工程を少なくすることが可能な、SOI構造を有する半導体装置、及び半導体記憶装置に関するものである。

【0011】

50 【課題を解決するための手段】本発明にかかる半導体装置は、絶縁層上にシリコン層が設けられたSOI構造を有する半導体ウエーハを備え、上記半導体ウエーハが、半導体素子が形成される複数の素子形成領域と、上記素子形成領域の間に設けられた切断用領域とを有する半導体

装置であって、上記切断用領域に、所定深さを有する凹部と、この凹部に埋設されてなるゲッタリング部材とを有するゲッタリングサイトが設けられていることを特徴とするものである。

【0012】上記凹部は、線状溝または環状溝であってもよく、さらに、孔状のものを複数設けるようにしてもよい。

【0013】また、上記凹部の底部は、一般には、上記シリコン層内になるよう設定されるが、上記絶縁層内、さらには、支持基板内になるよう設定することも可能である。この場合には、ゲッタリングサイトの容量が増加することになるので、ゲッタリング効果はよくなる。

【0014】また、上記ゲッタリング部材には、多結晶シリコンまたは酸化シリコンを用いればよく、複数のゲッタリングサイトにそれぞれ異なるゲッタリング部材を埋設するようにしてもよい。例えば、底部がシリコン層内に設定され、酸化シリコンが埋設されてなるゲッタリングサイトと、底部が絶縁層内に設定され、多結晶シリコンが埋設されてなるゲッタリングサイトとを形成してもよく、あるいは、凹部側壁に熱酸化膜を設け、この凹部内に多結晶シリコンを埋設したゲッタリングサイトを形成するようにしてもよい。

【0015】また、本発明に係る半導体記憶装置は、絶縁層上にシリコン層が設けられたSOI構造を有する半導体基板と、上記半導体基板に設けられたメモリセルとを備えた半導体記憶装置であって、上記メモリセルの周辺に、所定深さを有する凹部と、この凹部に埋設されてなるゲッタリング部材とからなるゲッタリングサイトが設けられていることを特徴とするものである。

【0016】さらに、上記半導体基板に、上記メモリセルと所定距離隔てて、上記メモリセルの動作に関与する周辺回路を備えるようにし、ゲッタリングサイトを、上記メモリセルと上記周辺回路との間に設けるようにしてもよい。

【0017】上記周辺回路としては、メモリセルのビット線に流れる微小な信号を感知し増幅するセンスアンパ回路、動作させるメモリセルのアドレスを指定するデコード回路、あるいは、電源回路、ヒューズ、ドライバ回路、周波数変調回路、バッファ回路等、メモリセルを取り囲むように配置された電子回路が挙げられる。

【0018】上記凹部は、上記メモリセルを取り囲むように設けられた線状溝または環状溝、あるいは、孔状のものを複数設けるようにしてもよい。

【0019】さらに、上記凹部の底面を下方方向に突出した円錐状の形状にすると、出力を下げたプラズマエッチングより凹部を形成する際に、プラズマに起因して凹部に生じる損傷を軽減することができる。それに加えて、円錐状の形状にすると、凹部内に絶縁体を埋め込む際に、この凹部とシリコン層間に発生する応力を抑制することができるので、シリコン層にかかる応力により生じ

る結晶欠陥の発生を抑制することができる。

【0020】また、上記ゲッタリング部材には、多結晶シリコンまたは酸化シリコンを用いればよく、複数のゲッタリングサイトにそれぞれ異なるゲッタリング部材を埋設するようにしてもよい。例えば、底部がシリコン層内に設定され、酸化シリコンが埋設されてなるゲッタリングサイトと、底部が絶縁層内に設定され、多結晶シリコンが埋設されてなるゲッタリングサイトとを形成してもよく、あるいは、凹部側壁に熱酸化膜を設け、この凹部内に多結晶シリコンを埋設したゲッタリングサイトを形成するようにしてもよい。

【0021】また、本発明に係る半導体記憶装置は、絶縁層上にシリコン層が設けられたSOI構造を有する半導体基板と、上記シリコン層に設けられ、ソース/ドレイン領域及びゲート酸化膜を介して形成されたゲート電極を有するMOSトランジスタと、上記MOSトランジスタ及びこのMOSトランジスタ近傍部に設けられた層間絶縁膜と、上記層間絶縁膜上に設けられた導電体と、上記導電体と上記ソース領域またはドレイン領域とが電気的に接続されるよう、上記層間絶縁膜に設けられ、内部に導電体が埋設されてなるコンタクト孔とを備えてなる半導体記憶装置であって、上記MOSトランジスタの近傍部に、上記層間絶縁膜上からこの層間絶縁膜下のシリコン層内にまで達するよう設けられた孔と、この孔内部に埋設されたゲッタリング部材とを有するゲッタリングサイトが設けられていることを特徴とするものである。

【0022】上記半導体記憶装置としては、上記導電体に互いに対向するように設けられた導電体を備え、これら互いに対向する導電体により構成されてなるキャパシタと、上記トランジスタとから構成されるDRAM、あるいは、MOSトランジスタを複数設け、上記導電体の一方が上記MOSトランジスタのソースまたはドレイン領域と電気的に接続されるとともに、他方が他のMOSトランジスタのゲート電極と電気的に接続されて構成されるSRAM、さらにはフラッシュメモリであってもよい。

【0023】上記のような半導体記憶装置では、上記層間絶縁膜にストレージノード用のコンタクト孔を形成する際に、ゲッタリングサイト用の孔を同時に形成することが可能で、少ない製造工程でゲッタリングサイトを形成することが可能である。さらに、半導体素子の極近傍にゲッタリング用の孔を形成することも可能であるので、上記コンタクト孔を形成する時に導入されうる汚染物質等のゲッタリングに適している。

【0024】また、本発明に係る半導体装置は、絶縁層上にシリコン層が設けられたSOI構造を有する半導体基板を備え、上記半導体基板が、MOSトランジスタが形成されてなる活性領域と、この活性領域近傍に設けられたフィールドシールド分離領域とを有する半導体装置であって、上記フィールドシールド分離領域におけるシリコン層上には、酸化膜を介して電極が設けられ、かつ、上記

フィールドシールド分離領域におけるシリコン層には、所定深さを有する凹部と、この凹部に埋設されてなるゲッターリング部材とを有するゲッターリングサイトが設けられていることを特徴とするものである。

【0025】なお、フィールドシールド分離領域のシリコン層下部において、電子、あるいは、正孔が自由に移動可能なよう、上記凹部の底部がシリコン層内になるよう設定するのが好ましい。

【0026】

【発明の実施の形態】実施の形態1. 本実施の形態は、SOI構造を有する半導体ウエーハの切断用領域に凹部を設け、この凹部内にゲッターリング部材を埋設することで、この切断用領域内にゲッターリングサイトを形成するようにした半導体装置の一実施例を示すものである。ここで、切断用領域は、ウエーハ上に形成された半導体素子をウエーハから切り出すときの切断用領域である。

【0027】図1、2は本実施の形態の半導体装置の構造を示す概略図で、図1は本実施の形態の半導体装置の上面図の一部を示す図で、図2は図1に示した半導体装置をAA断面で切断した場合の断面図である。

【0028】図1に示すように、半導体ウエーハ1には、実際に半導体素子が形成される複数の素子形成領域1aが設けられ、さらに、これらの半導体素子を半導体ウエーハ1から切り出すための切断用領域1bがこれらの半導体素子間に設けられている。実際に半導体素子を切り出す場合には、この切断用領域1bに沿って切断されるので、この切断用領域1bは所定幅を有して設ける必要がある。

【0029】なお、切断用領域1bの幅は、半導体ウエーハ1を切断するときの切断用の歯の厚さによって定まるものであるが、一般には、10～100μmに設定される。また、切断用領域1bの形成位置は、半導体ウエーハ1上に形成される半導体素子に応じて設計されるが、一般には、図1に示すように、縦、横方向に複数設けられる。

【0030】また、図2に示すように、図1に示す半導体装置は、シリコン基板等の支持基板2上にシリコン酸化膜等からなる絶縁層3が設けられ、この絶縁層3上に活性層となるシリコン層4が設けられたSOI構造を有する半導体ウエーハを備えている。この半導体ウエーハ1における絶縁層3の層厚は、50nm～1μmで、シリコン層4の層厚は、50～300nmである。

【0031】そして、この半導体ウエーハ1のシリコン層4における、上記切断用領域1b内には凹部6が設けられ、この凹部6内にゲッターリング部材7が埋設されることで、ゲッターリングサイトが形成される。このゲッターリング部材7としては、多結晶シリコンが一般的に用いられるが、酸化シリコンを用いてもよい。

【0032】また、凹部6の深さは、凹部6の底がシリコン層4内、絶縁層3内、あるいは、支持基板2内、い

ずれになるように設定してもよい。凹部6の深さは深い程、ゲッターリングサイトの容量が大きくなり取れるので好ましいが、凹部6の形成上、シリコン層4のみに形成するのが最も形成が簡単である。

【0033】さらに、凹部6の底面の形状は、図3に示すように、下方向に突出した円錐状の形状にするのが好ましい。このような形状にすることで、出力を下げたプラズマエッチングより、この凹部6を形成する際に、プラズマに起因して凹部6に生じる損傷を軽減することができ、さらに、凹部6内に絶縁体を埋め込む際に、この凹部6とシリコン層4間に発生する応力を低減することができ、シリコン層4にかかる応力によりシリコン層4内に結晶欠陥が発生するのを低減することが可能になる。このように、ゲッターリングサイトの作成に伴って生じる結晶欠陥の発生を抑制できるので、活性領域に非常に近い位置にゲッターリングサイトを形成することが可能になる。

【0034】なお、半導体ウエーハ1の素子形成領域1a内の素子分離をする領域（素子分離領域）に絶縁体が埋設されたトレンチ分離を形成する場合には、トレンチの形成時にこの凹部とともに形成することができ、工程数を減少させることができる。そのため、この場合には、上記凹部の深さもトレンチの深さと同じにするのが好ましい。すなわち、凹部の底が絶縁層になるよう設定するのが好ましい。

【0035】ここで、ゲッターリングサイトは、図1に示した上記切断用領域1bの全てに形成するようにすると、ゲッターリングサイトの容量が大きくなりより好適であるが、これは特に限定するものではなく、図4に示すように、横方向のみ、あるいは、縦方向のみに形成する等、切断用領域1b内であれば任意に形成してよい。また、図1、4では、凹部6を線状（図1では環状のものを含む）に形成しているが、これも特に限定するものではなく、所定距離毎に形成したり、孔状のゲッターリングサイトを複数形成するようにしてもよい。

【0036】次に、図1に示した半導体装置の製造方法について説明する。図5は、図1に示した半導体装置の製造工程を示す断面図である。まず、SOI構造を有する半導体ウエーハ1を用意し、この半導体ウエーハ1上に酸化シリコン膜や窒化膜等からなる保護膜5を形成する。この半導体ウエーハ1は公知の方法で製造されたSOI構造を有する半導体ウエーハを用いればよい。その後、フォトリソグラフィ技術を用いて、この半導体ウエーハ1上に所定パターンの開口部を有するフォトリソ膜8を形成する。このとき形成するパターンは、図5(a)に示すように、ゲッターリングサイトが設けられる部位が開口するように、すなわち、図1に示した切断用領域1b内の部位が開口するように形成する。本実施の形態では、切断用領域1b内に2、3μmの幅で開口するように形成した。



【0037】その後、図5(b)に示すように、プラズマエッチングまたは化学薬液によるエッチング処理により、保護膜5に上記パターンを転写する。そして、フォトリソ膜8を除去した後、プラズマエッチングを行い、シリコン層4の切断用領域1b内にゲッターリングサイト用の凹部6を形成すると図5(c)のようになる。この凹部6の幅は、約2、3 $\mu$ mの幅になるよう形成される。ここでは、凹部6の底がシリコン層4底面になるように形成した。なお、凹部6を形成する際のプラズマエッチングの条件は、形成する凹部の深さ等によって、適宜変更するが、一般には、圧力10mtor~1tor、電圧5~20V、基板温度-50~300℃の条件で行えばよい。このような条件でエッチングすることにより、この凹部6の底面を円錐状に形成することができる。

【0038】なお、先に説明したように、ゲッターリングサイトとトレンチ分離とを同時に形成する場合には、トレンチ分離のトレンチの底が絶縁層に達するように設定されるのが一般であるので、このときには、凹部の底が絶縁層内になるように形成するようにする。

【0039】このように凹部6を形成した後、多結晶シリコン膜7を化学的気相成長法で堆積し、その後、プラズマエッチング、あるいは、化学機械研磨(CMP)により、シリコン層4上に堆積した多結晶シリコン膜を除去すると図5(d)のようになる。

【0040】なお、多結晶シリコンが埋設されたトレンチ分離を形成する場合には、このトレンチに多結晶シリコンを埋設する工程と、上記多結晶シリコン膜を埋設する工程とを同時に実施することも可能である。

【0041】このようにゲッターリングサイトを形成後、半導体ウエーハ1の素子形成領域1aに公知の方法でMOSトランジスタを有するDRAMやSRAM等の半導体素子を形成する。そして、このような半導体素子が形成された後、上記半導体ウエーハ1を切断用領域1bに沿って切断することで、半導体ウエーハ1から各半導体素子が切り出され、各半導体素子が形成される。

【0042】なお、本実施の形態では、半導体素子として、DRAM/SRAM等のメモリを挙げているが、これは特に限定するものではなく、マイクロコンピュータユニット等のランダムロジックなどMOSトランジスタやバイポーラトランジスタ、CCD等の半導体素子であればよい。

【0043】本実施の形態の半導体装置では、ウエーハにおける切断用領域にゲッターリングサイトを形成するようにしているので、ゲッターリングサイトの容量を大きく取ることが可能で、十分なゲッターリングをすることが可能である。

【0044】さらに、ゲッターリングサイトをシリコン層内に形成するようにしているので、活性層との距離が近い位置にゲッターリングサイトが形成されることになり、よりゲッターリングの能力が向上する。

【0045】さらに、SOIウエーハ全域に渡って、均等

に素子形成領域に形成される素子を囲むようにゲッターリングサイトを形成することが可能であるので、この素子が汚染物質に汚染されるのを防止することができる。

【0046】さらに、この形成される素子の種類、規模、デザインに関係なく、ゲッターリングサイトを形成することが可能である。

【0047】また、トレンチ分離を形成する際に、このゲッターリングサイトも同時に形成することが可能であるので、ゲッターリングサイト用の工程を新たに付加することなく、半導体装置を形成することが可能である。

【0048】実施の形態2. 本実施の形態は、SOI構造を有する半導体基板に、メモリセルと、このメモリセルに対して所定距離隔てて周辺回路とを設け、このメモリセルの周辺の領域(メモリセルと周辺回路との間の領域等)に凹部を設け、この凹部内にゲッターリング部材を埋設することで、この領域内にゲッターリングサイトを形成するようにした半導体記憶装置の一実施例を示すものである。

【0049】図6はこの実施の形態の半導体記憶装置の上面の概略を示す上面図で、ゲッターリング部材が埋め込まれた凹部をDRAM(Dynamic Random Access Memory)のメモリセルブロックの外周(センスアンプとデコードに囲まれた領域を含む)に環状に配置した半導体記憶装置を示す図である。

【0050】図6に示すように、シリコン基板等の支持基板上にシリコン酸化膜等からなる絶縁層が設けられ、この絶縁層上に活性層となるシリコン層が設けられたSOI構造を有するSOI半導体基板上に、データを記憶させるためのメモリセル21が複数形成されたメモリセルブロック22と、このメモリセルブロック22の外周に、メモリセルブロック22と所定距離隔てて形成された周辺回路23、24とが設けられている。この周辺回路23、24は、メモリセル21のビット線に流れる微少な出力信号を感知し増幅するセンスアンプ回路23、動作させるメモリセル21を指定するデコード回路24等である。なお、上記SOI半導体基板の絶縁層の層厚は、50nm~1 $\mu$ mで、シリコン層の層厚は、50~300nmで上記メモリセルブロック22と周辺回路23、24との間の距離は、設計に応じて適宜変わるが、一般に、0.5~1 $\mu$ mである。

【0051】そして、このメモリセルブロック22と周辺回路23、24との間の領域のシリコン層には、凹部が設けられ、この凹部内にゲッターリング部材が埋設されることで、ゲッターリングサイトが形成される。ゲッターリング部材としては、多結晶シリコンが一般的に用いられるが、酸化シリコンを用いてもよい。また、凹部の深さは、上記実施の形態1と同様、凹部の底がシリコン層内、絶縁層内、あるいは、支持基板内、いずれになるように設定してもよい。

【0052】ここで、ゲッターリングサイトは、図6に示

すように、メモリセルブロック22を取り囲むように環状に形成すると、ゲッタリングサイトの面積が大きくとれ、より高いゲッタリング効果を得ることができる。ただし、このようにゲッタリングサイトを設けた場合には、メモリセル21と周辺回路23、24とをシリコン層内で電氣的接続することが難しくなるので、図7に示すように、線状のゲッタリングサイトをメモリセルブロック22の周辺に断片的に形成し、メモリセル21と周辺回路23、24間のゲッタリングサイトが設けられていない領域で電氣的接続がとれるようにしてもよい。さらに、上記のように、線状、または、環状にゲッタリングサイトを設けるのではなく、図8に示すように、孔状のゲッタリングサイトを複数設けるようにする等任意の形状にしてもよい。

【0053】次に、図6に示した半導体記憶装置の製造方法について説明する。まず、実施の形態1と同様に、SOI構造を有する半導体ウエーハを用意し、この半導体ウエーハ上に保護膜を形成する。そして、その後、フォトリソグラフィ技術を用いて、この半導体ウエーハ上に所定パターンの開口部を有するフォトレジスト膜を形成する。このとき形成するパターンは、ゲッタリングサイトが設けられる部位が開口するように形成されるが、実施の形態1の場合と異なり、図6に示したように、素子形成領域内におけるメモリセル21が形成される部位と周辺回路23、24が形成される部位の間の領域が開口するように、すなわち、メモリセルブロック22を取り囲むように形成する。本実施の形態では、この領域内に2、3 $\mu$ mの幅で開口する環状溝を形成した。

【0054】その後、実施の形態1の図5(b)～図5(d)に示したのと同様にして、上記環状溝内にゲッタリング部材を埋設し、これら環状溝、ゲッタリング部材を有するゲッタリングサイトが形成されることになる。

【0055】このようにゲッタリングサイトを形成後、素子形成領域内におけるメモリセル形成領域(上記ゲッタリングサイトで囲まれた領域)に、MOSトランジスタ及びキャパシタを形成し、素子形成領域内における周辺回路形成領域に、センスアンプ回路23、デコーダ回路24をそれぞれ形成する。

【0056】本実施の形態ではDRAMのメモリセルに関して説明したが、これは特に限定するものではなく、SRAM(Static Random Access Memory)やフラッシュメモリ等、メモリセルブロックと周辺回路の間にゲッタリングサイトが形成可能な領域を有するメモリセルであればどのようなものでもよい。

【0057】また、本実施の形態では、周辺回路として、センスアンプとデコーダを挙げているが、これは特に限定するものではなく、周辺回路は、電源回路、ヒューズ、ドライバ回路、周波数変調回路、バッファ回路などメモリセルの周辺に設けられた電子回路であればよい。

【0058】本実施の形態の半導体記憶装置では、メモリセルと周辺回路との間の領域にゲッタリングサイトを形成するようにしているので、ゲッタリングサイトの容量を大きく取ることが可能で、十分なゲッタリングをすることが可能である。

【0059】また、SOI基板全域にわたり、メモリセルを囲むようにゲッタリングサイトを形成しているため、金属不純物等の汚染物質からメモリセル、あるいは周辺回路等の半導体素子を確実に防衛できる。さらに、詳細には、メモリセル間、メモリセルー配線(コンタクト孔)間、トランジスタのソース/ドレイン間等メモリセルへの電子の入出力経路への汚染物質の拡散防止効果が大きく、素子性能の劣化を防止できる。

【0060】さらに、ゲッタリングサイトをシリコン層内に形成するようにしているので、活性層との距離が近い位置にゲッタリングサイトが形成されていることになり、よりゲッタリングの能力が向上する。

【0061】また、トレンチ分離を形成する際に、このゲッタリングサイトも同時に形成することが可能であるので、ゲッタリングサイト用の工程を新たに付加することなく、半導体記憶装置を形成することが可能である。

【0062】上記実施の形態1、2では、凹部に一種類のゲッタリング部材のみを埋設する例を説明したが、これは一種類に限定するものではなく、例えば、凹部の底部がシリコン層内に設定されるとともに埋設されるゲッタリング部材が酸化シリコンであるゲッタリングサイトと、凹部の底部が絶縁層内に設定されるとともに埋設されるゲッタリング部材が多結晶シリコンであるゲッタリングサイトとを設ける等、複数のゲッタリングサイトを設け、これらのゲッタリングサイトに複数のゲッタリング部材を埋設するようにしてもよい。

【0063】また、凹部を加熱処理することで、凹部側壁に熱酸化膜を形成し、さらに、この凹部内に多結晶シリコンを埋設してゲッタリングサイトを形成するようにしてもよい。

【0064】実施の形態3. 本実施の形態は、SOI基板上のシリコン層に設けられたMOSトランジスタと、このMOSトランジスタ上に層間絶縁膜を介して設けられたストレージノード電極、及び、このストレージノード電極に対向して設けられた上部電極からなるキャパシタとで構成されるDRAMのメモリセルにおいて、上記MOSトランジスタの近傍部に、上記層間絶縁膜上からこの層間絶縁膜下のシリコン層内にまで達するよう設けられた孔と、この孔内部に埋設されたゲッタリング部材とを有するゲッタリングサイトが設けられた半導体記憶装置の一実施の形態を示すもので、このゲッタリングサイト用の孔をストレージノード用のコンタクト孔の形成と同時に形成することが可能な構造を有している。

【0065】図9は本実施の形態の半導体記憶装置を示す断面図で、DRAMのストレージノード用のコンタクト孔

の開口と同時に、層間絶縁膜内に孔を設け、この孔内に多結晶シリコンが埋設されてなるゲッターリングサイトが形成された半導体記憶装置を示した断面図である。

【0066】図9に示すように、本実施の形態の半導体記憶装置は、シリコン基板等の支持基板2上にシリコン酸化膜等からなる絶縁層3が設けられ、この絶縁層上に活性層が形成されるシリコン層4が設けられたSOI構造を有する半導体基板を備えている。この半導体基板における絶縁層3の層厚は、50nm～1μmで、シリコン層4の層厚は、50～300nmである。

【0067】そして、この半導体基板におけるシリコン層4の活性領域4aには、ソース/ドレイン領域、このソース、ドレイン間の活性領域上には、ゲート酸化膜を介してゲート電極が形成され、MOSトランジスタが構成されている。

【0068】このMOSトランジスタが形成された活性領域4aを含むシリコン層4上には、酸化シリコン等からなる層間絶縁膜31a、31bが設けられ、この層間絶縁膜31上には、キャパシタの下部電極を構成するストレージノード電極32が設けられている。そして、このストレージノード電極32とMOSトランジスタのソース領域、あるいはドレイン領域とが電気的に接続可能なよう、この層間絶縁膜31にストレージノード用のコンタクト孔33を設け、このストレージノード用のコンタクト孔33内に導電体34が埋設されている。なお、35は層間絶縁膜の間に設けられたビット線である。

【0069】一方、上記MOSトランジスタ近傍の素子が形成されない領域の上記層間絶縁膜31にコンタクト孔36を設け、このコンタクト孔36にゲッターリング部材37を埋設することで、ゲッターリングサイトを形成する。このゲッターリング部材37としては、多結晶シリコンが一般的に用いられるが、酸化シリコンを用いてもよい。また、このコンタクト孔36の底部は、実施の形態1の凹部と同様、シリコン層4内、絶縁層3内、あるいは、支持基板2内、いずれになるように設定してもよい。

【0070】なお、上記ストレージノード電極32上には、絶縁膜、又は、高誘電体膜を介してストレージノード電極32に対向する上部電極38が設けられ、これら互いに対向する電極によりキャパシタが形成され、先のMOSトランジスタとで、DRAMを構成している。

【0071】次に、図9に示した半導体記憶装置の製造方法について説明する。まず、公知のDRAMの製造方法を用いて、SOI基板にMOSトランジスタを形成した後、MOSトランジスタを含むシリコン層4上に酸化シリコン膜からなる層間絶縁膜31を形成する。(層間絶縁膜31は2層31a、31b形成され、1層目31a上には、ビット線が形成されるが、これらは公知の方法で形成すればよい)

【0072】このように層間絶縁膜31を形成した後、

この層間絶縁膜31上にフォトリソグロフ技術を用いて、この層間絶縁膜31上に所定パターンの開口部を有するフォトリソグロフ膜39を形成する。このとき形成するパターンは、図10(a)に示すように、ストレージノード用のコンタクト孔が形成される部位、及び、ゲッターリング用の孔が設けられる部位が開口するように、すなわち、ストレージノード用のコンタクト孔、及び、MOSトランジスタの近傍で、かつ、素子が形成されない領域内の部位が開口するように形成する。本実施の形態では、上記素子が形成されない領域内に0.1～1.0μmの口径で開口するように形成した。

【0073】その後、図10(b)に示すように、レジスト開口部直下の層間絶縁膜構造に適した条件で、プラズマエッチングエッチング処理を行い、SOI基板における絶縁層3まで開口を行い、フォトリソグロフ膜39を除去すると図10(b)のようになる。この孔36の口径は、約0.1～1.0μmになるよう形成される。ここでは、孔36の底がシリコン層4底面になるように形成した。

【0074】このようにストレージノード用のコンタクト孔33、及び、ゲッターリングサイト用の孔36を形成した後、図10(c)に示すように、多結晶シリコン膜40を化学的気相成長法等で堆積し、その後、プラズマエッチング、あるいは、化学機械研磨(CMP)により、層間絶縁膜32上に堆積した多結晶シリコン膜40を除去すると図10(d)のようになり、ゲッターリングサイトが形成される。

【0075】このようにゲッターリングサイトを形成後、公知の方法でキャパシタの下部電極となるストレージノード電極32を先の導電体が埋設されたストレージノード用のコンタクト孔33上に設け、さらに、この下部電極32上に絶縁膜、又は、高誘電体膜を介して互いに対向するように上部電極38を設け、DRAMセルが形成される。

【0076】本実施の形態の半導体記憶装置は、SOI基板のシリコン層にのみにゲッターリングサイトを形成するのではなく、SOI層上に形成した層間絶縁膜から先のシリコン層にまでゲッターリングサイトが形成されるようにしているので、ゲッターリングサイトの容量を大きくとることができる。

【0077】さらに、ゲッターリングサイト用の孔と、DRAMセルの製造工程で形成されるストレージノード用のコンタクト孔とを同時に形成することが可能であるので、製造工程を増やすことなくゲッターリングサイトを形成することが可能になる。

【0078】また、孔を設けて、ゲッターリングサイトを形成しているので、ゲッターリングサイト領域を小面積化できる。さらに、ゲッターリングサイトをMOSトランジスタの極近傍に形成することが可能で、コンタクト孔の開

口エッチングによるSOI基板への損傷（結晶欠陥の発生）と汚染物質の導入に対して、速やかに汚染物質の捕獲を行えるので、高効率なゲッターリングが可能である。

【0079】実施の形態4. 実施の形態3におけるゲッターリングサイトは、DRAMセルの層間絶縁膜上からSOI基板のシリコン層に達する孔を設け、この孔内にゲッターリング部材を埋設することでゲッターリングサイトを形成しているが、本実施の形態におけるゲッターリングサイトは、SRAMセルの層間絶縁膜上からSOI基板のシリコン層に達する孔を設け、この孔内にゲッターリング部材を埋設することでゲッターリングサイトを形成するようにしたものである。

【0080】SRAMのメモリセルでは、情報をスタティックに保持するためにメモリセルは通常6素子（6個のトランジスタ）で構成される。図11はこのようなSRAMのメモリセルの主要部を示す図である。図に示すように、SRAMのメモリセルは、基本的には、クロスカップルしたラッチ回路（NMOSトランジスタ41a、41b）とアクセストランジスタ（図示は省略する。）とから構成される。なお、図11では、PMOS42a、42bが負荷として動作するCMOSセルの構造をしている。

【0081】図12は本実施の形態の半導体記憶装置を示す断面図で、図11に示したSRAMのメモリセルの主要回路を、SOI構造を有する半導体基板上に形成したときの断面図である。図12に示すように、シリコン基板等の支持基板2上にシリコン酸化膜等からなる絶縁層3が設けられ、この絶縁層3上に活性層となるシリコン層4が設けられたSOI構造を有する半導体基板を備えている。この半導体基板における絶縁層3の層厚は、50nm～1μmで、シリコン層4の層厚は、50～300nmである。

【0082】また、図11に示すように、ラッチ回路を構成するNMOSトランジスタ41a、41bと、負荷として動作するPMOSトランジスタ42a、42bがSOI基板のシリコン層4に設けられ、これら半導体素子上には、層間絶縁膜31が設けられている。さらに、この層間絶縁膜31上には記憶ノード(A)、記憶ノード(B)となる導電体43a、43bがそれぞれ設けられ、この導電体43a、43bとNMOSトランジスタ、PMOSトランジスタが図11に示したように、電気的に接続されるよう、層間絶縁膜31を開口し、内部に導電体45が埋設されたコンタクト孔44が設けられている。

【0083】一方、上記層間絶縁膜31における、上記MOSトランジスタ近傍の素子が形成されていない領域に孔46を設け、この孔46にゲッターリング部材47を埋設することで、ゲッターリングサイトが形成されている。このゲッターリング部材としては、多結晶シリコンが一般的に用いられるが、酸化シリコンを用いてもよい。また、この孔46の底部は、実施の形態1の凹部と同様、シリコン層4内、絶縁層3内、あるいは、支持基板2

内、いずれになるように設定してもよい。

【0084】次に図12に示した半導体記憶装置の製造方法について説明する。まず、公知のSRAMの製造方法を用いて、SOI基板にラッチ回路を構成するNMOSトランジスタと、負荷となるPMOSトランジスタを形成した後、MOSトランジスタを含むシリコン層4上に酸化シリコン膜からなる層間絶縁膜31を形成する。

【0085】そして、このように層間絶縁膜31を形成した後、この層間絶縁膜31上にフォトリソグレイ膜を塗布し、フォトリソグラフィ技術を用いて、この層間絶縁膜上に所定パターンの開口部を有するフォトリソグレイ膜を形成する。このとき形成するパターンは、記憶ノードとなる導電体43a、43bとNMOSトランジスタ、PMOSトランジスタのソース、ドレイン領域、あるいはゲート電極とが電気的に接続可能なように、層間絶縁膜31に設けられるコンタクト孔44が形成される部位、及び、ゲッターリングサイト用の孔46が設けられる部位が開口するように形成する。

【0086】その後、実施の形態4と同様にしてコンタクト孔44及びゲッターリング用の孔46を形成した後、これら孔44、46内に多結晶シリコン45、47を埋設することで、ゲッターリングサイトを形成し、その後、公知の方法で記憶ノードとなる導電体43a、43bをコンタクト孔44上に各々設けることで、SRAMセルが形成される。

【0087】本実施の形態の半導体記憶装置は、SOI基板のシリコン層にのみにゲッターリングサイトを形成するのではなく、SOI層上に形成した層間絶縁膜から先のシリコン層にまでゲッターリングサイトが形成されるようにしているので、ゲッターリングサイトの容量を大きくとることができる。

【0088】さらに、ゲッターリングサイト用の孔と、DRAMセルの製造工程で形成されるストレージノード用のコンタクト孔とを同時に形成することが可能であるので、製造工程を増やすことなくゲッターリングサイトを形成することが可能になる。

【0089】また、孔を設けて、ゲッターリングサイトを形成しているので、ゲッターリングサイト領域を小面積化できる。さらに、ゲッターリングサイトをMOSトランジスタの極近傍に形成することが可能で、コンタクト孔の開口エッチングによるSOI基板への損傷（結晶欠陥の発生）と汚染物質の導入に対して、速やかに汚染物質の捕獲を行えるので、高効率なゲッターリングが可能である。

【0090】実施の形態5. 本実施の形態は、SOI基板におけるフィールドシールド分離領域内のシリコン層にゲッターリングサイトを設けるようにした半導体装置の一実施例を示すものである。ここで、フィールドシールド分離領域は、MOSトランジスタのソース/ドレイン領域が形成される活性領域の近傍の領域で、この領域のシリコン層上には酸化膜が形成され、さらに、この酸化膜上

には電極が形成されており、この電極に電圧を印加することで、この部位周辺の電子、あるいは、正孔を捕獲するようにしている。

【0091】図13、図14は本実施の形態の半導体装置を示す図で、図13はこの半導体装置を上面から見た上面図で、図14は図13に示した半導体装置のXX断面での断面図である。なお、図13においては、説明を簡単にするため、フィールドシールド分離領域53上に形成される酸化膜及び電極の記載は省略している。

【0092】図13に示すように、SOI基板上には、互いに所定距離隔てて2つの活性領域51が設けられており、さらに、この活性領域51上にはゲート酸化膜56を介してゲート電極52が形成されている。そして、このゲート酸化膜56を介して設けられたゲート電極52、及び活性領域51をソース/ドレイン領域としてMOSトランジスタが構成されている。一方、この活性領域51近傍のフィールドシールド分離領域53内のシリコン層3には多結晶シリコン等のゲッターリング部材55が埋設された凹部54を有するゲッターリングサイトが形成されている。

【0093】また、図14に示すように、シリコン基板等の支持基板2上にシリコン酸化膜等からなる絶縁層3が設けられ、この絶縁層3上に活性層となるシリコン層4が設けられたSOI構造をしている。そして、このSOI構造を有するSOI半導体基板のシリコン層4には、不純物が注入されてなる活性層51が、互いに所定距離隔てて設けられており、この活性領域51近傍のフィールドシールド分離領域53のシリコン層4上には、酸化膜57が設けられ、さらに、この酸化膜57上には電極58が設けられている。なお、上記SOI半導体基板の絶縁層3の層厚は、50nm～1μmで、シリコン層4の層厚は、50～300nmで、上記活性層51間の距離は、設計に応じて適宜変わるが、一般に、0.5～1μmである。

【0094】また、これらMOSトランジスタが形成されてなる活性層51の周辺の領域には、凹部54が設けられ、この凹部54内にゲッターリング部材55が埋設されることで、ゲッターリングサイトが形成される。ゲッターリング部材55としては、多結晶シリコンが一般的に用いられるが、酸化シリコンを用いてもよい。また、凹部54の深さは、凹部54の底がシリコン層4内になるように設定する。これは、絶縁層3にまで達するように形成されると、ゲッターリングサイトによりフィールドシールド分離領域53周辺の電子、あるいは、正孔が自由に移動できなくなるからである。なお、ゲッターリングサイトは、図13に示すように、孔状のものを複数形成するのが好ましい。

【0095】次に、図13、図14に示した半導体装置の製造方法について説明する。図15は図13、図14に示した半導体装置の製造工程を示す図である。まず、

実施の形態1と同様に、SOIウエーハを用意し、このウエーハにおける素子形成領域の所定の領域に不純物を注入することによりMOSトランジスタのソース/ドレイン領域となる活性層51を形成すると図15(a)のようになる。この活性層51間は隣接する半導体素子(MOSトランジスタ)が接触しないよう互いに所定距離隔てて形成する。

【0096】このように活性層51を形成した後、SOI基板上に保護膜5を形成する。そして、この保護膜5上にフォトリソ膜8を塗布し、転写工程により、図15(b)に示すように、所定パターンの開口部を有するフォトリソ膜8を形成する。この開口パターンは、フィールドシールド分離領域53内の所定領域が開口するよう、ここでは、フィールドシールド分離領域53内に複数の孔が形成されるようにする。

【0097】その後、図15(c)に示すように、プラズマエッチングまたは化学薬液によるエッチング処理により、保護膜5に上記パターンを転写する。このとき、保護膜5において完全に除去されない部位が残ってもよい。これは、正確に除去したとしても、形成する孔が小さいことより、後に正確な凹部を生成することが困難であるので、多少の誤差が生じたとしても特に問題にならないからである。このように、保護膜5を正確に除去する必要がないので、正確なエッチングを施す必要がなく、形成を容易にできる。なお、正確に除去してよいことは言うまでもない。

【0098】そして、水酸化カリウム等のアルカリ溶液にSOIウエーハを浸透させ、シリコン層4表面をエッチングし、凹部54を形成し、その後、フォトリソ膜8を除去すると図15(d)のようになる。この凹部54の口径は約0.1～1.0μmになるよう形成される。なお、凹部54の底はシリコン層3内になるように形成する。

【0099】このように凹部54を形成した後、多結晶シリコン膜を化学的気相成長法で堆積し、その後、プラズマエッチング、あるいは、化学機械研磨(CMP)により、シリコン層4上に堆積した多結晶シリコン膜を除去することでゲッターリングサイトが形成される。

【0100】このようにゲッターリングサイトを形成後、上記活性層51上に公知の方法でゲート酸化膜56、及び、このゲート酸化膜56上にゲート電極52を形成しMOSトランジスタを構築するとともに、上記活性層51以外の領域であるフィールドシールド分離領域53におけるシリコン層4上に酸化シリコン膜57を形成し、この酸化シリコン膜57上に電極58を形成する。

【0101】本実施の形態の半導体装置は、活性領域近傍のフィールドシールド分離領域にゲッターリングサイトを形成しているので、半導体素子の近傍にゲッターリングサイトが形成されることになり、メモリセル間、メモリセル配線(コンタクト孔)間、トランジスタのソース

ノドレイン間等メモリセルへの電子の入出力経路への汚染物質の拡散防止効果が大きく、素子性能の劣化を防止できる。

【0102】さらに、ゲッターリングサイトの下部にシリコン層が残っているため、フィールドシールド分離特性を損なわない、すなわち、デバイス設計に関して全く考慮する必要なく、ゲッターリングサイトを形成することが可能となる。

【0103】また、上記実施の形態2～5では、特に凹部の形状を特定していないが、凹部の底面の形状は、下方向に突出した円錐状の形状にするのが好ましい。このように、凹部の形状を上記のような形状にすることで、実施の形態1で説明したのと同様の効果を得ることができる。

【0104】

【発明の効果】本発明に係る半導体装置は、絶縁層上にシリコン層が設けられたSOI構造を有する半導体ウェーハを備え、上記半導体ウェーハが、半導体素子が形成される複数の素子形成領域と、上記素子形成領域の間に設けられた切断用領域とを有する半導体装置であって、上記切断用領域に、所定深さを有する凹部と、この凹部に埋設されてなるゲッターリング部材とを有するゲッターリングサイトが設けられていることを特徴とするので、ゲッターリングサイトの容量を大きく取ることが可能で、十分なゲッターリングをすることが可能である。さらに、ゲッターリングサイトをシリコン層内に形成するようにしているので、活性層との距離が近い位置にゲッターリングサイトが形成されることになり、よりゲッターリングの能力を向上させることが可能となる。

【0105】また、本発明に係る半導体記憶装置は、絶縁層上にシリコン層が設けられたSOI構造を有する半導体基板と、上記半導体基板に設けられたメモリセルとを備えた半導体記憶装置であって、上記メモリセルの周辺に、所定深さを有する凹部と、この凹部に埋設されてなるゲッターリング部材とからなるゲッターリングサイトが設けられていることを特徴とするので、ゲッターリングサイトの容量を大きく取ることが可能で、十分なゲッターリングをすることが可能である。また、SOI基板全域にわたり、メモリセルを囲むようにゲッターリングサイトを形成しているため、金属不純物等の汚染物質からメモリセル、あるいは、上記メモリセルと所定距離隔てて周辺回路等を設けた場合には、この周辺回路等の半導体素子を確実に防御できる。さらに、ゲッターリングサイトをシリコン層内に形成するようにしているので、活性層との距離が近い位置にゲッターリングサイトが形成されていることになり、よりゲッターリングの能力が向上する。

【0106】また、本発明に係る半導体記憶装置は、絶縁層上にシリコン層が設けられたSOI構造を有する半導体基板と、上記シリコン層に設けられ、ソース/ドレイン領域及びゲート酸化膜を介して形成されたゲート電極

を有するMOSトランジスタと、上記MOSトランジスタ及びこのMOSトランジスタ近傍部に設けられた層間絶縁膜と、上記層間絶縁膜上に設けられた導電体と、上記導電体と上記ソース領域またはドレイン領域とが電気的に接続されるよう、上記層間絶縁膜に設けられ、内部に導電体が埋設されてなるコンタクト孔とを備えてなる半導体記憶装置であって、上記MOSトランジスタの近傍部に、上記層間絶縁膜上からこの層間絶縁膜下のシリコン層内にまで達するよう設けられた孔と、この孔内部に埋設されたゲッターリング部材とを有するゲッターリングサイトが設けられていることを特徴とするので、ゲッターリングサイト領域を小面積化できる。さらに、ゲッターリングサイトをMOSトランジスタの極近傍に形成することが可能で、コンタクト孔の開口エッチングによるSOI基板への損傷（結晶欠陥の発生）と汚染物質の導入に対して、速やかに汚染物質の捕獲を行えるので、高効率なゲッターリングが可能である。

【0107】また、本発明に係る半導体装置は、絶縁層上にシリコン層が設けられたSOI構造を有する半導体基板を備え、上記半導体基板が、MOSトランジスタが形成されてなる活性領域と、この活性領域近傍に設けられたフィールドシールド分離領域とを有する半導体装置であって、上記フィールドシールド分離領域におけるシリコン層上には、酸化膜を介して電極が設けられ、かつ、上記フィールドシールド分離領域におけるシリコン層には、所定深さを有する凹部と、この凹部に埋設されてなるゲッターリング部材とを有するゲッターリングサイトが設けられていることを特徴とするので、半導体素子の近傍にゲッターリングサイトが形成されることになり、メモリセル間、メモリセルー配線（コンタクト孔）間、トランジスタのソース/ドレイン間等メモリセルへの電子の入出力経路への汚染物質の拡散防止効果が大きく、素子性能の劣化を防止できる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の半導体装置を示す上面図である。

【図2】 図1に示した半導体装置のAA線断面を示す断面図である。

【図3】 本発明の実施の形態1の半導体装置を示す上面図である。

【図4】 本発明の実施の形態1の半導体装置を示す断面図である。

【図5】 図1に示した半導体装置の製造工程を示す断面図である。

【図6】 本発明の実施の形態2の半導体記憶装置を示す上面図である。

【図7】 本発明の実施の形態2の半導体記憶装置を示す上面図である。

【図8】 本発明の実施の形態2の半導体記憶装置を示す上面図である。

【図9】 本発明の実施の形態3の半導体記憶装置を示す断面図である。

【図10】 図8に示した半導体記憶装置の製造工程を示す断面図である。

【図11】 本発明の実施の形態4の半導体記憶装置の主要部を示す回路図である。

【図12】 本発明の実施の形態4の半導体記憶装置を示す断面図である。

【図13】 本発明の実施の形態5の半導体装置を示す上面図である。

【図14】 図13に示した半導体装置を示す断面図である。

【図15】 図13に示した半導体装置の製造工程を示す断面図である。

【符号の説明】

1 半導体ウエーハ領域

1b 切断用領域

3 絶縁層

5 保護膜

7 ゲッタリング部材  
スト膜

21 メモリセル

1a 素子形成

2 支持基板

4 シリコン層

6 凹部

8 フォトレジ

22 メモリセ

ルブロック

23 センスアンパ回路  
回路

25 ゲッタリングサイト

31 層間絶縁膜

ジノード電極

33 コンタクト孔

35 ビット線

37 ゲッタリング部材

39 フォトレジスト膜

41 NMOSトランジスタ  
ンジスタ

43 記憶ノード

ト孔

45 導電体

47 ゲッタリング部材

51 活性領域

極

53 フィールドシールド分離領域

55 ゲッタリング部材

化膜

57 酸化膜

24 デコーダ

32 ストレ

34 導電体

36 孔

38 上部電極

40 導電膜

42 PMOSトラ

44 コンタク

46 孔

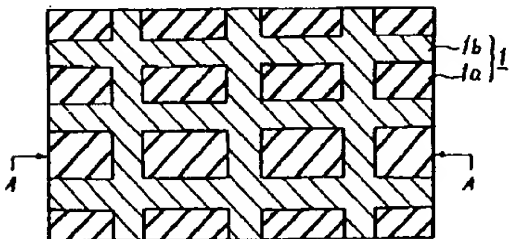
52 ゲート電

54 凹部

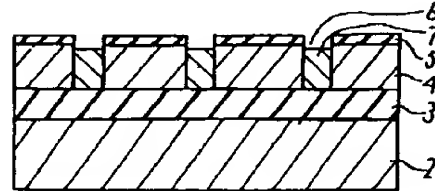
56 ゲート酸

58 電極

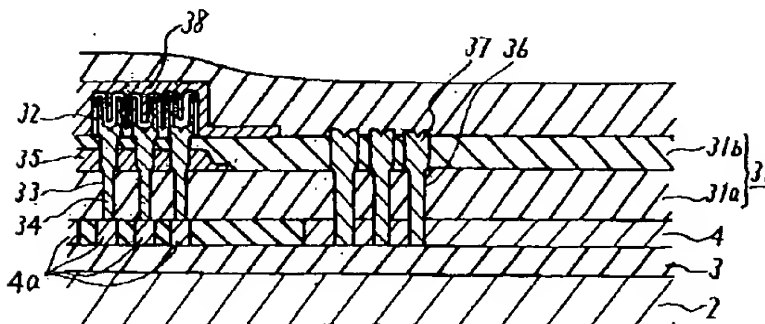
【図1】



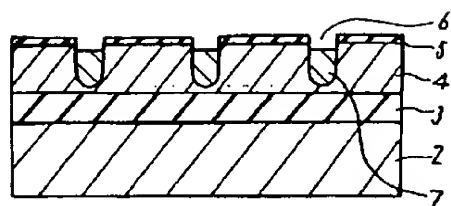
【図2】



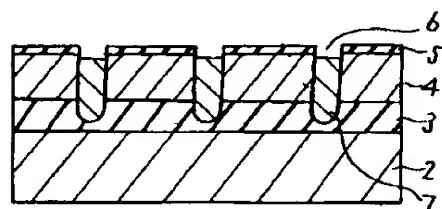
【図9】



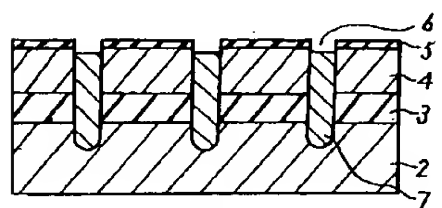
【図3】



(a)

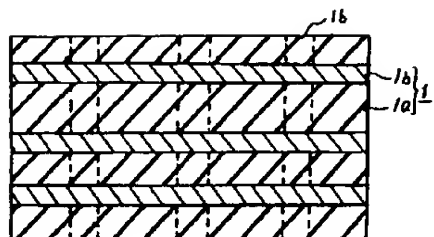


(b)

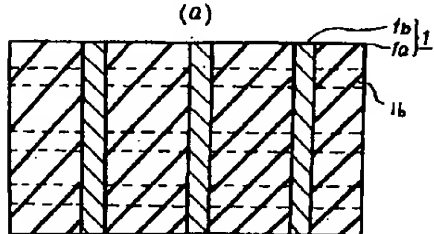


(c)

【図4】

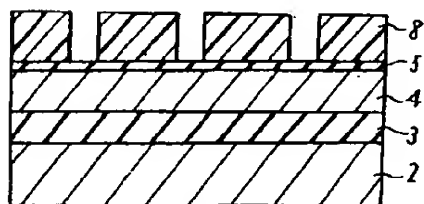


(a)

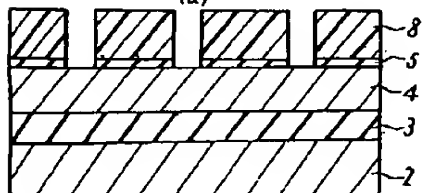


(b)

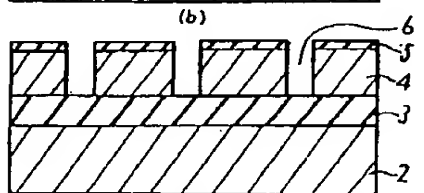
【図5】



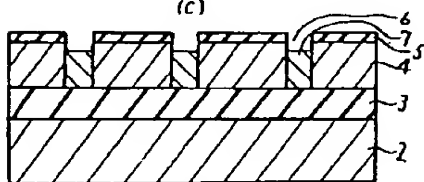
(a)



(b)



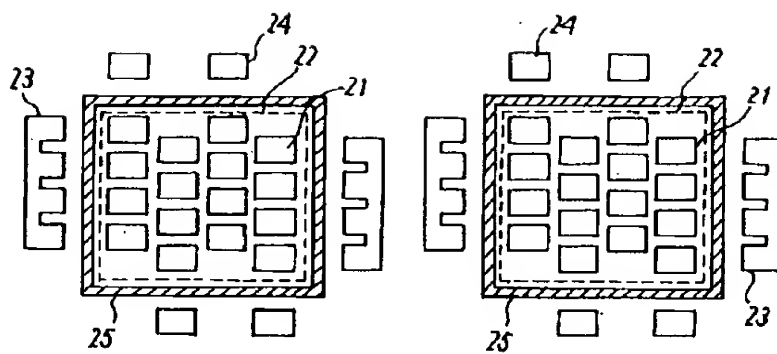
(c)



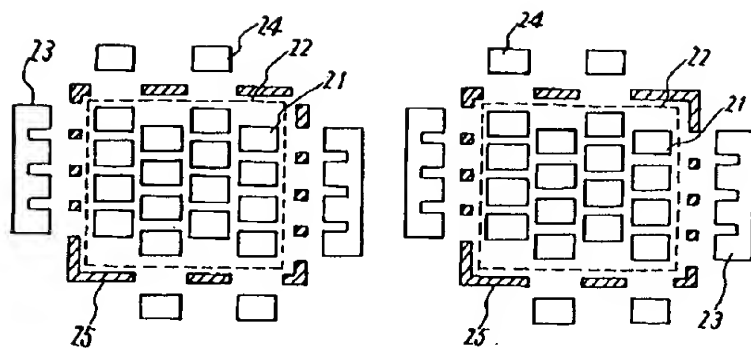
(d)



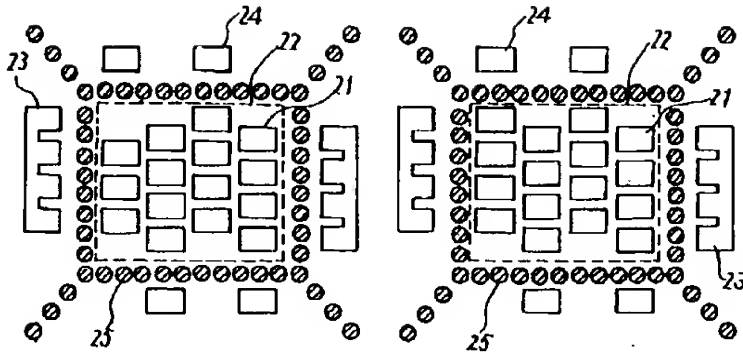
【図6】



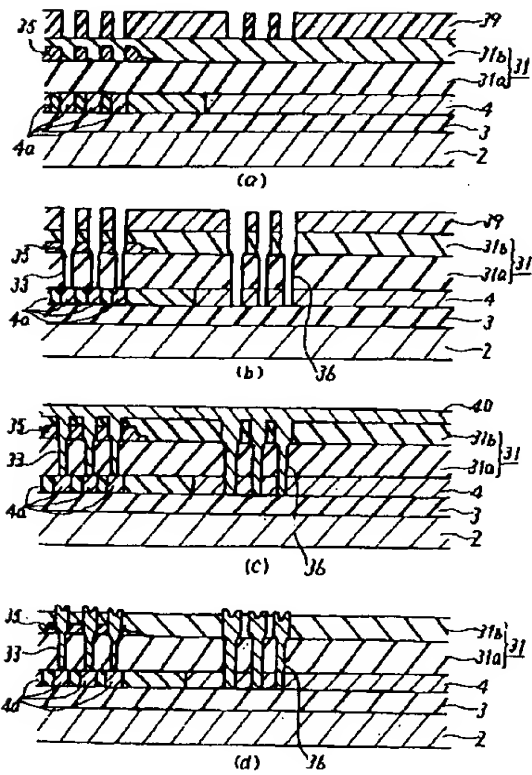
【図7】



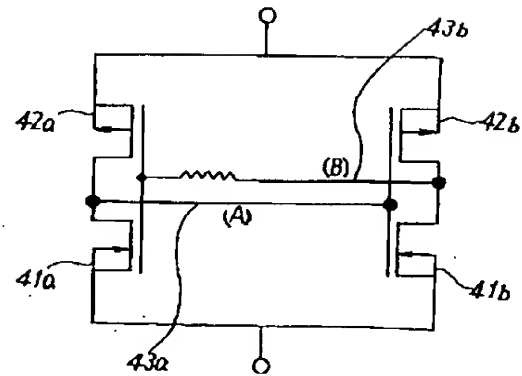
【図8】



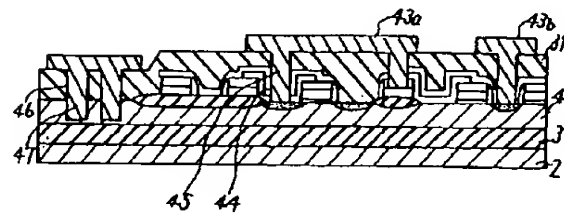
【図10】



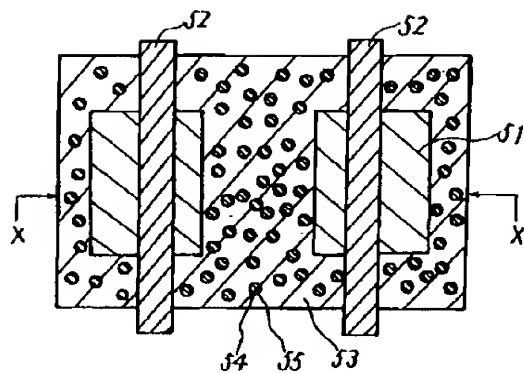
【図11】



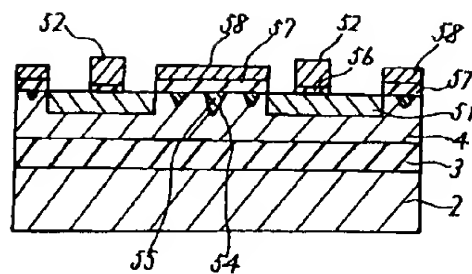
【図12】



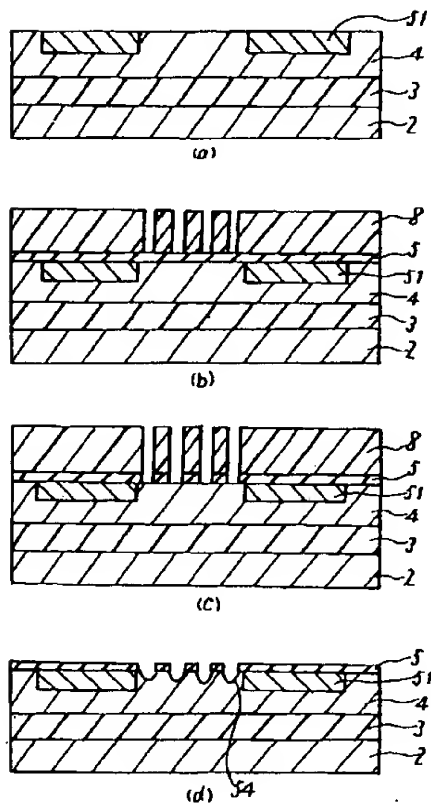
【図13】



【図14】



【図15】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

H01L 27/10  
27/108  
21/8242  
27/12

識別記号  
481

F I

H01L 27/10  
29/78

テーマコード(参考)

381  
681F  
626Z

29/786

(72)発明者 山本 秀和  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

Fターム(参考) 5F032 AA35 AA44 AA47 AA66 CA17  
DA24  
5F083 AD00 AD24 BS00 ER22 GA25  
GA30 PR00 PR05 PR40  
5F110 AA30 CC02 DD05 GG02 GG12  
QQ05 QQ28